

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-234735

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

G05F 3/24
G05F 1/56

(21)Application number : 06-027005

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 24.02.1994

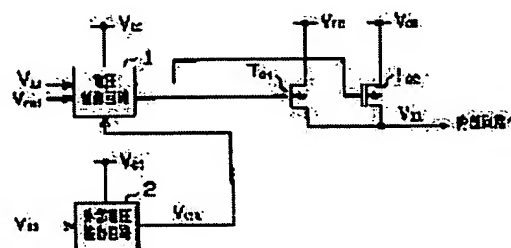
(72)Inventor : OGAWA KAZUKI
NAKAGAWA SUKEYUKI

(54) INTERNAL POWER CIRCUIT

(57)Abstract:

PURPOSE: To supply Stable internal power voltage with the external power voltage of different voltage.

CONSTITUTION: A first output transistor T01 and a second output transistor T02 in an internal power circuit are connected in parallel. Internal power voltage VII is generated based on external power voltage Vcc and it is outputted to an internal circuit. A voltage control circuit I is connected to the first output transistor T01, and the first output transistor T01 is controlled based on reference potential Vcc and internal power voltage VII. An external voltage detection circuit 2 is connected to the voltage control circuit I. The external voltage detection circuit 2 detects whether external power voltage Vcc is high or low, and outputs detected voltage VCSL to the voltage control circuit I. Then, the voltage control circuit 1 does not control the second output transistor when external power voltage Vcc is high based on detected voltage VCSL, and controls the second output transistor T02 when it is low.



LEGAL STATUS

[Date of request for examination] 31.08.2000

[Date of sending the examiner's decision of rejection] 06.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

AL

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-234735

(43) 公開日 平成7年(1995) 9月5日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 F 3/24 1/56	3 1 0 W	4237-5H		

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平6-27005
(22) 出願日 平成6年(1994) 2月24日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(71) 出願人 000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2
(72) 発明者 小川 和樹
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内
(72) 発明者 中川 祐之
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内
(74) 代理人 弁理士 恩田 博宜

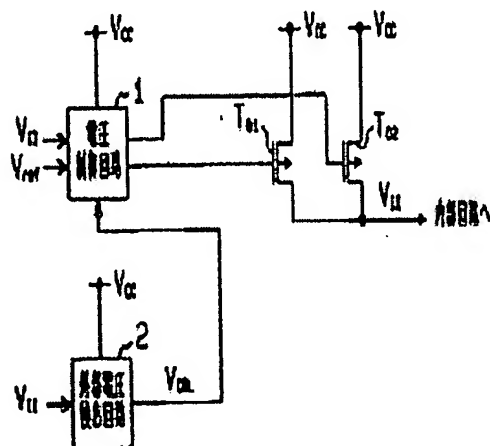
(54) 【発明の名称】 内部電源回路

(57) 【要約】

【目的】異なる電圧の外部電源電圧で安定した内部電源電圧を供給する。

【構成】内部電源回路の第1の出力トランジスタT01と第2の出力トランジスタT02とが並列に接続され、外部電源電圧V₀₀に基づいて内部電源電圧V_{II}を生成し内部回路に出力する。電圧制御回路1は第1の出力トランジスタT01に接続され、リファレンス電位V_{ref}と内部電源電圧V_{II}とに基づいて第1の出力トランジスタT01を制御する。外部電圧検出回路2は電圧制御回路1に接続されている。外部電圧検出回路2は外部電源電圧V₀₀が高電圧か低電圧かを検出し、検出電圧V_{CSL}を電圧制御回路1に出力する。そして、電圧制御回路1は検出電圧V_{CSL}に基づいて、外部電源電圧V₀₀が高電圧の場合には第2の出力トランジスタを制御せず、低電圧の場合には第2の出力トランジスタT02を制御する。

本発明の原理図



【特許請求の範囲】

【請求項 1】 内部回路に接続され、高電圧又は低電圧の外部電源電圧 (V_{cc}) に基づいて内部電源電圧 (V_{II}) を生成する第 1 の出力トランジスタ (T_{01}) と、リファレンス電位 (V_{ref}) と内部電源電圧 (V_{II}) とに基づいて内部電源電圧 (V_{II}) が所定の電圧となるように第 1 の出力トランジスタ (T_{01}) を制御する電圧制御回路 (1) とを備えた内部電源回路において、

前記第 1 の出力トランジスタ (T_{01}) に並列に接続され、前記外部電源電圧 (V_{cc}) に基づいて内部電源電圧 (V_{II}) を生成する第 2 の出力トランジスタ (T_{02}) と、

前記外部電源電圧 (V_{cc}) が高電圧か低電圧かを検出し、検出信号 (V_{CSL}) を出力する外部電圧検出回路 (2) とを備え、

外部電源電圧 V_{cc} が高電圧の場合には前記第 2 の出力トランジスタ (T_{02}) を制御せず、低電圧の場合には前記電圧制御回路 (1) により第 2 の出力トランジスタ (T_{02}) を制御するようにしたことを特徴とする内部電源回路。

【請求項 2】 請求項 1 に記載の内部電源回路において、

前記第 1 及び第 2 の出力トランジスタはそれぞれエンハンスメント型 P チャネル MOS トランジスタであることを特徴とする内部電源回路。

【請求項 3】 請求項 1 又は 2 に記載の内部電源回路において、

前記外部電圧検出回路 (2) は、エンハンスメント型 P チャネル MOS トランジスタ (Tr_9) を備え、そのソースは外部電源電圧 (V_{cc}) に接続され、ゲートには内部電源電圧 (V_{II}) を入力するようにしたことを特徴とする内部電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に設けられた内部電源回路に係り、詳しくは半導体集積回路装置に供給される外部電源電圧を所定の内部電源電圧にレベル変換して各内部回路に供給する内部電源回路に関するものである。

【0002】 近年、半導体集積回路装置においては、消費電流の低減及び各素子の信頼性の向上のために駆動電源の低電圧化が進んでいる。一方、いまだに駆動電源の低電圧化ができない半導体集積回路装置も存在する。従って、駆動電源の電圧が異なる半導体集積回路装置が混在する電子機器や、外部電源電圧が高電圧の電子機器にも低電圧駆動の半導体集積回路装置が使用できる必要がある。

【0003】

【従来の技術】 図 4 は、従来の半導体集積回路装置の一

部回路図であって、内部電源電圧 V_{II} を生成する内部電源回路図である。内部電源回路は出力回路 S_1 と電圧制御回路 S_2 とから構成されている。

【0004】 出力回路 S_1 はエンハンスメント型 P チャネル MOS トランジスタ (以下、PMOS トランジスタという) T_{01} と抵抗 R_1 、 R_2 とが設けられている。PMOS トランジスタ T_{01} のソースは外部電源電圧 V_{cc} に接続され、ドレインは直列に接続された抵抗 R_1 、 R_2 を介して低電位側電源 V_{ss} に接続されている。PMOS トランジスタ T_{01} のドレインと抵抗 R_1 との間には内部回路が接続されている。PMOS トランジスタ T_{01} のゲートには電圧制御回路 S_2 が接続され、その電圧制御回路 S_2 から所定の電圧を入力する。すると、PMOS トランジスタ T_{01} にはソース・ゲート間の電圧 V_{gs} に基づいた電流 I_{01} が流れ、その電流 I_{01} に基づいたドレイン電位となる。そして、この PMOS トランジスタ T_{01} のドレイン電位が内部電源電圧 V_{II} として内部回路に供給される。

【0005】 電圧制御回路 S_2 はカレント・ミラー回路であって、一対の PMOS トランジスタ Tr_1 、 Tr_2 のゲートが互いに接続され、一方の PMOS トランジスタ Tr_2 のドレインがそのゲートに接続されている。両 PMOS トランジスタ Tr_1 、 Tr_2 のソースは外部電源電圧 V_{cc} に接続されている。両トランジスタ Tr_1 、 Tr_2 には PMOS トランジスタ Tr_3 、 Tr_4 がそれぞれ並列に接続されている。

【0006】 また、PMOS トランジスタ Tr_1 のドレインはエンハンスメント型 N チャネル MOS トランジスタ (以下、NMOS トランジスタという) Tr_5 のドレインに接続され、そのドレインは出力端子としてインバータ回路 2_1 、 2_2 を介して前記 PMOS トランジスタ T_{01} のゲートに接続されている。一方、PMOS トランジスタ Tr_2 のドレインは NMOS トランジスタ Tr_6 のドレインに接続されている。この両 NMOS トランジスタ Tr_5 、 Tr_6 のソースは互いに接続されている。そして、NMOS トランジスタ Tr_5 のゲートにはリファレンス電位 V_{ref} が入力される。また、NMOS トランジスタ Tr_6 のゲートは前記抵抗 R_1 、 R_2 間に接続され、内部電源電圧 V_{II} を抵抗 R_1 、 R_2 により分圧した分圧電圧 V_I が入力される。

【0007】 また、両 MOS トランジスタ Tr_5 、 Tr_6 のソースは制御用の NMOS トランジスタ Tr_7 のドレインに接続されていて、その MOS トランジスタ Tr_7 のソースは低電位側電源 V_{ss} に接続されている。

【0008】 前記した PMOS トランジスタ Tr_3 、 Tr_4 と制御用の NMOS トランジスタ Tr_7 のゲートには制御信号 CS が入力される。制御信号 CS は半導体集積回路装置を能動状態 (アクティブ) にする場合は H レベルであり、半導体集積回路装置を待機状態 (スタンバイ) にする場合は L レベルである。従って、制御信号 CS が H

レベルのとき、NMOSTランジスタTr7がオンとなる。一方、制御信号CSがLレベルのとき、PMOSTランジスタTr3、Tr4がオンとなる。

【0009】そして、電圧制御回路52はNMOSTランジスタTr5、Tr6のゲートに入力するリファレンス電位Vrefと分圧電圧V1とが等しい電位となるように電圧V2を出力して内部電源電圧V11を制御するようになっている。

【0010】即ち、内部電源電圧V11が所定の電圧より高く、分圧電圧V1がリファレンス電位Vrefより高い電位の場合、ノードN2の電圧V2が低下する。この電圧V2がインバータ回路21、22を介してPMOSTランジスタT01のゲートに入力される。すると、PMOSTランジスタT01の電流I01が少なくなる。その結果、内部電源電圧V11が低下し、所定の電圧となる。

【0011】一方、内部電源電圧V11が所定の電圧より低い、即ち分圧電圧V1がリファレンス電位Vrefより低い場合、ノードN2の電圧V2が上昇する。この電圧V2がインバータ回路21、22を介してPMOSTランジスタT01のゲートに入力される。すると、PMOSTランジスタT01の電流I01が多くなる。その結果、内部電源電圧V11が上昇し、所定の電圧となる。

【0012】

【発明が解決しようとする課題】ところで、PMOSTランジスタT01のチャネル幅は供給される外部電源電圧Vccに対応して設定されている。例えば外部電源電圧Vccが高電圧（例えば5ボルト）で内部電源電圧V11（例えば3ボルト）を生成するようにPMOSTランジスタT01のチャネル幅が設定されている半導体集積回路装置がある。この半導体集積回路装置を既に駆動電源が低電圧化（例えば3、3ボルト）された他の半導体集積回路装置と混在して使用する場合がある。この場合、外部電源電圧Vccは他の半導体集積回路装置に合わせて3、3ボルトで供給される。このとき、図5(a)に示すように内部回路がアクティブになると、その内部回路により消費される消費電流が急激に増加する。PMOSTランジスタT01のチャネル幅は外部電源電圧Vccが5ボルトに合わせて設計されているのでその駆動能力は小さくなっている。そのため、内部回路の消費電流の変動に対応して内部電源電圧V11が大きく変動して低下した場合、その後、所定の電圧（3ボルト）に回復するまでに長い時間がかかる問題があった。

【0013】一方、外部電源電圧Vccが低電圧（例えば3、3ボルト）で内部電源電圧V11（3ボルト）を生成するようにPMOSTランジスタT01のチャネル幅が設定されている半導体集積回路装置がある。この半導体集積回路装置を未だ駆動電源が低電圧化されていない他の半導体集積回路装置と混在して使用する場合、外部電源電圧Vccは他の半導体集積回路装置に合わせて5ボルトで供給される。このとき、図5(b)に示すように内部

回路の消費電流が急激に増加した場合、PMOSTランジスタT01のチャネル幅は3、3ボルトの外部電源電圧Vccに合わせて設計されているのでその駆動能力が大きくなっている。そのため、内部電源電圧V11が大きく低下することはないが、駆動能力が大きすぎて内部電源電圧V11の少しの変動に対して素早く応答してしまい、所謂オーバーシュートが起き、安定した内部電源電圧V11を供給することができないという問題があった。

【0014】本発明は上記問題点を解決するためになされたものであって、その目的は異なる電圧の外部電源電圧で安定した内部電源電圧を供給することのできる内部電源回路を提供することにある。

【0015】

【課題を解決するための手段】図1は本発明の原理説明図である。内部電源回路は第1の出力トランジスタT01、第2の出力トランジスタT02、電圧制御回路1及び外部電圧検出回路2を備えている。第1の出力トランジスタT01と第2の出力トランジスタT02とが並列に接続され、外部電源電圧Vccに基づいて内部電源電圧V11を生成し内部回路に出力する。電圧制御回路1は第1の出力トランジスタT01に接続され、リファレンス電位Vrefと内部電源電圧V11とに基づいて第1の出力トランジスタT01を制御する。外部電圧検出回路2は電圧制御回路1に接続されている。外部電圧検出回路2は外部電源電圧Vccが高電圧か低電圧かを検出し、検出電圧VCSLを電圧制御回路1に出力する。そして、電圧制御回路1は検出電圧VCSLに基づいて、外部電源電圧Vccが高電圧の場合には第2の出力トランジスタを制御せず、低電圧の場合には第2の出力トランジスタT02を制御する。

【0016】

【作用】従って、本発明によれば、外部電源電圧Vccは外部電圧検出回路2により高電圧か低電圧かが検出される。外部電源電圧Vccが高電圧の場合、第1の出力トランジスタT01のみが電圧制御回路1により制御され、内部電源電圧V11を生成する。一方、外部電源電圧Vccが低電圧の場合、第1及び第2の出力トランジスタT01、T02が電圧制御回路2により制御され、内部電源電圧V11が生成される。

【0017】

【実施例】以下、本発明を具体化した一実施例を図2及び図3に従って説明する。尚、説明の便宜上、図4と同様の構成については同一の符号を付してその説明を一部省略する。

【0018】図2は本発明の内部電源回路10の回路図である。内部電源回路10は出力回路11と電圧制御回路12と外部電圧検出回路13とから構成されている。出力回路11の第1の出力トランジスタとしての第1のPチャネルMOSトランジスタ（以下、PMOSTランジスタという）T01には第2の出力トランジスタとしての第2のPチャネルMOSトランジスタ（以下、第2の

PMOSトランジスタという) T02が並列に接続されている。第2のPMOSトランジスタT02のソースは外部電源電圧V_{cc}に接続され、ドレインはPMOSトランジスタT01のドレインに接続されている。

【0019】尚、本実施例において第1のPMOSトランジスタT01と第2のPMOSトランジスタT02とはその大きさが同じに形成されている。従って、両PMOSトランジスタT01、T02はその駆動能力が同じである。

【0020】PMOSトランジスタT01のゲートには従来の同様の構成の電圧制御回路12が接続され、リファレンス電位V_{ref}と抵抗R1、R2間の電圧V1とに基づいて制御される。また、PMOSトランジスタT01のドレインには内部回路30が接続されている。内部回路30には内部制御信号CS1が入力され、その内部制御信号CS1に基づいて能動状態(アクティブ)と待機状態(スタンバイ)とに制御される。

【0021】一方、第2のPMOSトランジスタT02のゲートはナンド回路31の出力端子に接続されている。ナンド回路31は2入力素子であって、一方の入力はインバータ回路21、22間に接続され、インバータ回路21を介して電圧制御回路12のノードN2の電圧V2を入力する。ナンド回路31の他方の入力には検出信号VCSLが入力される。従って、検出信号VCSLがHレベルの場合、第2のPMOSトランジスタT02はノードN2の電圧V2にかかわらずオフに制御される。一方、検出信号VCSLがHレベルの場合、第2のPMOSトランジスタT02はPMOSトランジスタT01と同様にノードN2の電圧V2に基づいて電流I02が流れる。そして、内部回路30には両PMOSトランジスタT01、T02によりその内部電源電圧V_{II}(本実施例では3ボルト)が供給されることになる。この第2のPMOSトランジスタT02のゲートに入力される検出信号VCSLは外部電圧検出回路13により制御される。

【0022】外部電圧検出回路13はPMOSトランジスタTr8、抵抗R3及びインバータ回路32~34により構成されている。PMOSトランジスタTr8のソースは外部電源電圧V_{cc}に接続され、ドレインは抵抗R3を介して低電位側電源V_{ss}に接続されている。また、PMOSトランジスタTr8のドレインと抵抗R3との間のノードN3はインバータ回路32~34を介してナンド回路31に接続されている。PMOSトランジスタTr8のゲートには内部電源電圧V_{II}が入力されている。

【0023】外部電圧検出回路13は外部電源電圧V_{cc}と内部電源電圧V_{II}とに基づいて外部電源電圧V_{cc}が高電圧か低電圧かを検出する。そして、外部電圧検出回路13はその検出結果である検出信号VCSLを出力するようになっている。

【0024】即ち、外部電源電圧V_{cc}が高電圧(本実施例では5ボルト)の場合、PMOSトランジスタTr8はそのゲートに3ボルトの内部電源電圧V_{II}を入力してい

る。従って、PMOSトランジスタTr8のソース・ゲート間の電圧は高くなる。その結果、PMOSトランジスタTr8はオンとなり、ノードN3の電位はHレベルとなる。

【0025】一方、外部電源電圧V_{cc}が低電圧(本実施例では3.3ボルト)の場合、PMOSトランジスタTr8のソース・ゲート間の電圧は低くなる。その結果、PMOSトランジスタTr8はオフとなり、ノードN3の電位はLレベルとなる。

【0026】このノードN3の電位はインバータ回路32~34を介して検出信号VCSLとしてナンド回路31に入力される。そして、この検出信号VCSLと電圧制御回路12のノードN2の電圧V2とに基づいて第2のPMOSトランジスタT02がオン・オフ制御される。

【0027】従って、検出信号VCSLがLレベル、即ち外部電源電圧V_{cc}が高電圧の場合、第2のPMOSトランジスタT02はオフに制御され、PMOSトランジスタT01により内部電源電圧V_{II}が内部回路30に供給され、その駆動能力は小さくなる。一方、検出信号VCSLがHレベル、即ち外部電源電圧V_{cc}が低電圧の場合、両PMOSトランジスタT01、T02により内部電源電圧V_{II}が内部回路30に供給され、第1のPMOSトランジスタT01のみの場合に比べてその駆動能力は大きくなる。

【0028】次に、上記のように構成された内部電源回路の作用を図3に従って説明する。半導体集積回路装置に5ボルトの外部電源電圧V_{cc}が供給されると、図3に示すようにその外部電源電圧V_{cc}の上昇にともなうリファレンス電位V_{ref}も上昇する。更に、Hレベルの制御信号CSが入力されると、電圧制御回路12によりノードN2の電圧V2と出力回路11のノードN1の分圧電圧V1とが同じ電圧となるように制御される。その結果、内部電源電圧V_{II}が3ボルトとなり、内部回路30に供給される。

【0029】このとき、外部電源電圧V_{cc}が5ボルトであるので外部電圧検出回路13のPMOSトランジスタTr8はオンとなり、ノードN3はHレベルとなる。このノードN3の電位はインバータ回路32~34を介してLレベルの検出電圧VCSLとしてナンド回路31に入力される。その結果、第2のPMOSトランジスタT02はオフとなり、第1のPMOSトランジスタT01のみにより内部電源電圧V_{II}が内部回路30に供給される。従って、内部回路30が内部制御信号CS1に基づいてその消費電流が多くなっても、第1のPMOSトランジスタT01のみであるのでその駆動能力は小さくオーバーシュートを起こすことはない。

【0030】一方、半導体集積回路装置に3.3ボルトの外部電源電圧V_{cc}が供給されると、外部電圧検出回路13のPMOSトランジスタTr8はそのソース・ゲート間電圧によりオフとなる。その結果、ノードN3はLレベルとなり、このノードN3の電位はインバータ回路3

2〜34を介してHレベルの検出電圧 V_{CSL} としてナンド回路31に入力される。その結果、第2のPMOSトランジスタT02はオンとなり、同PMOSトランジスタT01、T02により内部電圧 V_{II} が内部回路30に供給される。従って、外部電圧 V_{oo} が3.3ボルトであって、内部回路30が内部制御信号CS1に基づいてその消費電流が多くなっても、第1及び第2のPMOSトランジスタT01、T02によりその駆動能力が大きくなり内部電圧 V_{II} が所定の電圧に短時間で回復する。

【0031】このように、本実施例では、内部電圧 V_{II} を生成する出力トランジスタを第1のPMOSトランジスタT01と第2のPMOSトランジスタT02とで構成する。そして、外部電圧 V_{oo} が高電圧のときには第1のPMOSトランジスタT01のみにより内部電圧 V_{II} を生成し内部回路30に供給する。一方、外部電圧 V_{oo} が低電圧のときには第1及び第2のPMOSトランジスタT01、T02により内部電圧 V_{II} を生成し内部回路30に供給するようにした。

【0032】その結果、第1のPMOSトランジスタT01のみの場合にはその駆動能力が小さいので、オーバーシュートを抑えることができる。また、第1及び第2のPMOSトランジスタT01、T02の場合にはその駆動能力が大きいため、従来の内部電圧回路に比べて内部電圧 V_{II} が回復するまでの時間を短縮することができる。

【0033】尚、本発明は前記実施例の他、以下の態様で実施するようにしてもよい。

(1) 出力トランジスタT01、T02をPMOSトランジスタに代えてNMOストランジスタ又はデプレッション型MOSトランジスタを使用して実施する。これにより、上記実施例と同様の効果が得られる。

【0034】(2) 本実施例において、第2のPMOS

トランジスタT02のチャネル幅を外部電圧 V_{oo} が低電圧のときにその駆動能力が最速となるように形成してもよい。これにより、低電圧のときにより安定した内部電圧 V_{II} を供給することができる。

【0035】(3) 本実施例では外部電圧 V_{oo} を高電圧として5ボルト、低電圧として3.3ボルトにて供給したが、それぞれ任意の電圧で供給して実施する。任意の外部電圧 V_{oo} において同様の効果が得られる。

【0036】また、内部回路30を駆動する内部電圧 V_{II} を3ボルトに設計したが、任意の電圧で駆動するように設計する。

【0037】

【発明の効果】以上詳述したように、本発明によれば、異なる電圧の外部電圧 V_{oo} で安定した内部電圧 V_{II} を供給することのできる優れた効果がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】一実施例の内部電圧回路を説明する回路図である。

【図3】一実施例の内部電圧回路の動作を説明する波形図である。

【図4】従来の内部電圧回路を説明する回路図である。

【図5】(a)、(b)は従来の内部電圧回路の動作を説明する波形図である。

【符号の説明】

1 電圧制御回路

2 外部電圧検出回路

T01 第1の出力トランジスタ

T02 第2の出力トランジスタ

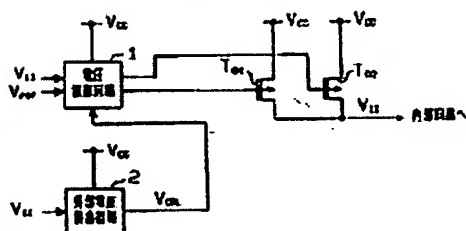
V_{oo} 外部電圧電圧

V_{II} 内部電圧電圧

V_{ref} リファレンス電位

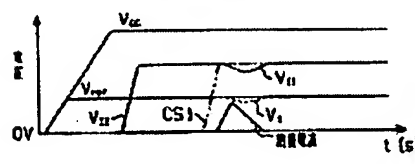
【図1】

本発明の原理説明図



【図3】

一実施例の内部電圧回路の動作を説明する波形図



【圖2】
一、天竺の内部を撮影した写真の一例

**従来の内閣電源目録を改訂する目録書**

電車の内部電燈回線の動作を証明する演形図

